

نام درس: معماری کامپیوتر
 رشته تحصیلی و کد درس: مهندسی کامپیوتر- ۱۱۱۵۰۸۲- علوم کامپیوتر- ۱۱۱۹۰۱۰
 مهندسی فناوری اطلاعات - ۱۱۱۵۱۴۳- بخش فناوری اطلاعات و ارتباطات - ۱۱۱۵۱۴۳
 کد سری سؤال: یک (۱)
 استفاده از : مجاز است.
 تعداد سؤالات: تستی: ۳۰ تشریحی: ۶
 زمان آزمون: تستی: ۷۵ تشریحی: ۷۵ دقیقه
 آزمون نمره منفی دارد ○ ندارد ⊗

امام علی^(ع): برتری مردم به یکدیگر، به دانش‌ها و خردهاست؛ نه به ثروت‌ها و تبارها.

۱. اگر بخواهیم دو ریزعمل زیر بطور همزمان در یک پالس ساعت T انجام شوند، R_1 و R_2 بایستی چه خاصیتی داشته باشند؟

$$T: R_1 \leftarrow R_2, R_2 \leftarrow R_1;$$

الف. هر دو حساس به سطح مثبت باشند.

ب. R_1 حساس به لبه مثبت و R_2 حساس به لبه منفی باشد.

ج. R_1 حساس به لبه منفی و R_2 حساس به لبه مثبت باشد.

د. هر دو حساس به لبه منفی و یا هر دو حساس به لبه مثبت باشند.

۲. در یک کامپیوتر با ۳۲ تا رجیستر ۱۶ بیتی برای یک گذرگاه (BUS) به چند MUX و با چه ظرفیتی نیاز است؟

ب. به ۳۲ تا MUX با ۱۶ تا ورودی

الف. به ۱۶ تا MUX با ۱۶ تا ورودی

د. به ۳۲ تا MUX با ۳۲ تا ورودی

ج. به ۱۶ تا MUX با ۳۲ تا ورودی

۳. برای ساخت یک واحد عملیاتی از ALU با چهار عمل زیر، کدامیک از بسته های زیر کفایت می کند؟

خروجی	ورودی ۲	ورودی ۱	
A+B	B	A	۱
A+B+1	B	A	۲
A-B-1	B	A	۳
A-B	B	A	۴

الف. چهار تا تمام جمع کننده و چهار تا گیت XOR

ب. چهار تا تمام جمع کننده و چهار تا گیت NOT

ج. چهار تا تمام جمع کننده و چهار تا گیت XOR و دو تا $MUX 4*1$

د. چهار تا نیم جمع کننده و چهار تا گیت NOT و یک $MUX 4*1$

۴. خروجی چهار ثبات R_0, R_1, R_2 و R_3 از طریق یک $MUX 4*1$ (R_0 خط ۰، R_1 خط ۱ و ...) به ورودیهای ثبات پنجم R_5

وصل شده است و انتقالات لازم توسط چهار متغیر زمانبندی T_0 تا T_3 به صورت زیر تعیین می شود، متغیرهای زمانی T_0 تا T_3 دو به دو

جدا از هم هستند و در هر زمان دقیقاً یکی از آنها برابر ۱ است. توابع کنترل خطوط انتخاب S_0 و S_1 از MUX، کدام است؟

الف. $S_1 = T_0 + T_1$ و $S_0 = T_2 + T_3$

ب. $S_1 = T_2 + T_3$ و $S_0 = T_1 + T_3$

ج. $S_1 = T_0 + T_3$ و $S_0 = T_1 + T_2$

د. $S_1 = T_0 + T_1 + T_2$ و $S_0 = T_1 + T_2 + T_3$

$T_0: R_5 \leftarrow R_0$

$T_1: R_5 \leftarrow R_1$

$T_2: R_5 \leftarrow R_2$

$T_3: R_5 \leftarrow R_3$

نام درس: معماری کامپیوتر
 رشته تحصیلی و کد درس: مهندسی کامپیوتر- ۱۱۱۵۰۸۲- علوم کامپیوتر- ۱۱۱۹۰۱۰
 مهندسی فناوری اطلاعات - ۱۱۱۵۱۴۳- بخش فناوری اطلاعات و ارتباطات - ۱۱۱۵۱۴۳
 کد سری سؤال: یک (۱)
 استفاده از : مجاز است.
 تعداد سؤالات: تستی: ۳۰ تشریحی: ۶
 زمان آزمون: تستی: ۷۵ تشریحی: ۷۵ دقیقه
 آزمون نمره منفی دارد ○ ندارد ⊗

توجه: برای پاسخگویی به سوالات ۵ تا ۸ شکل شماره یک (کامپیوتر پایه به همراه گذرگاه مشترک) را در نظر بگیرید.
 ۵. کدامیک از جملات زیر تعداد پالس ساعت بیشتری نیاز دارد؟

ب. $AC=AC+M[AR]$

الف. $DR=DR+AC$

د. $DR=M[AR]$

ج. $M[AR]=AC+M[AR]$

۶. با توجه به فاز Fetch و Decode زیر مشخص کنید توابع کنترل خطوط انتخاب S_0 ، S_1 و S_2 کدام است؟

$T_0 : AR \leftarrow PC;$

$T_1 : IR \leftarrow M[AR] , PC = PC + 1;$

$T_2 : D_0...D_7 \leftarrow \text{Decode } IR(12-14), AR \leftarrow IR(0-11), I \leftarrow IR(15);$

الف. $S_2 = T_1 + T_2$ و $S_1 = T_0 + T_1$ ، $S_0 = T_1 + T_2$

ب. $S_2 = T_0 + T_1$ و $S_1 = T_1 + T_2$ ، $S_0 = T_1 + T_2$

ج. $S_2 = T_1 + T_0$ و $S_1 = T_0 + T_1$ ، $S_0 = T_0 + T_1 + T_2$

د. $S_2 = T_2$ و $S_1 = T_0 + T_1$ ، $S_0 = T_1$

۷. با توجه به ریز عمل‌های زیر، در کدام گزینه همه ریز عمل‌ها می‌توانند در یک پالس ساعت انجام شوند؟

ریز عمل ۱: $AC \leftarrow PC$ ریز عمل ۲: $DR \leftarrow AC$ ریز عمل ۳: $AC \leftarrow DR$ ریز عمل ۴: $PC \leftarrow IR$

د. ۱، ۲، ۳ و ۴

ج. تنها ۱، ۲ و ۳

ب. تنها ۲، ۳ و ۴

الف. تنها ۱ و ۲

۸. با فرض آنکه فاز Fetch و Decode (برداشت از حافظه و دیکد) برای هریک از دستورات زیر قبلاً صورت گرفته است. در هر دستور برای بدست آوردن آدرس موثر و عملوند (در مجموع)، به ترتیب چند مراجعه به حافظه صورت می‌گیرد (گزینه‌ها را از راست به چپ بخوانید)

بخش آدرس	کد دستور	I	شماره دستور
100	ADD	0	دستور اول
100	ADD	1	دستور دوم
100	BUN	0	دستور سوم
100	BUN	1	دستور چهارم

الف. 1، 2، 1 و 2

ب. 1، 2، 1 و 1

ج. 1، 2، 0 و 1

د. 0، 1، 0 و 1

نام درس: معماری کامپیوتر
 رشته تحصیلی و کد درس: مهندسی کامپیوتر - ۱۱۱۵۰۸۲ - علوم کامپیوتر - ۱۱۱۹۰۱۰
 مهندسی فناوری اطلاعات - ۱۱۱۵۱۴۳ - بخش فناوری اطلاعات و ارتباطات - ۱۱۱۵۱۴۳
 کد سری سؤال: یک (۱)
 استفاده از: مجاز است.

۹. اگر $A=240$ و $B=225$ باشد، آنگاه پس از اجرای قطعه برنامه زیر که از آدرس شروع 010 در حافظه ذخیره شده است، محتوای PC به کدام دستور اشاره خواهد کرد؟ (آدرس‌دهی‌ها مستقیم فرض شوند)

010	LDA	B	الف. PC=100
011	CMA		
012	INC		ب. PC=200
013	ADD	A	
014	SPA		ج. PC=300
015	BUN	100	
016	SZA		د. PC=019
017	BUN	300	
018	BUN	200	

توجه: برای جواب دادن به سوالات ۱۰ تا ۱۲ از شکل ۳ و جدول ۱، استفاده کنید.

۱۰. سازمان یک کنترل ریز برنامه نویسی (Microprogramming) دارای تاخیرهای انتشاری زیر است:

40ns برای تولید آدرس بعدی، 10ns برای انتقال آدرس به داخل CAR، 40ns برای دستیابی به حافظه کنترل ROM، 10ns برای انتقال ریزدستورالعمل به ثبات داده کنترل، و 40ns برای اجرای ریزعملهای مورد نظر که بوسیله کلمه کنترلی مشخص شده‌اند. حداکثر فرکانس پالس ساعتی که واحد کنترل می‌تواند بکار برد، چیست؟ (با توجه به شکل ۲)

الف. 10MHZ ب. 11.1MHZ ج. 15MHZ د. 20MHZ

۱۱. عملکرد ریزبرنامه (Microporogram) زیر چیست؟ (منظور از EA، آدرس موثر می باشد)

ORG 40				الف. if $AC \leq 0$ then $PC \leftarrow EA$
NOP	S	JMP	FETCH	
NOP	Z	JMP	FETCH	ب. if $AC > 0$ then $PC \leftarrow EA$
NOP	I	CALL	INDRCT	
ARTPC	U	JMP	FETCH	ج. if $AC = 0$ then $PC \leftarrow EA$
				د. if $AC < 0$ then $PC \leftarrow AR$

۱۲. فرض کنید ریز برنامه ADD به صورت زیر تغییر کند:

ADD: READ I CALL INDR2
 ADD U JMP FETCH

بر اساس این تغییر کدام روتین می تواند روتین INDR2 (یافتن آدرس غیر مستقیم جدید) باشد؟

الف.				
ب.	INDR2:	DRTAR	I	JMP NEXT
		READ	U	RET
ج.	INDR2:	DRTAR	U	RET
د.	INDR2:	DRTAR	U	JMP NEXT
		READ	U	RET

نام درس: معماری کامپیوتر
 رشته تحصیلی و کد درس: مهندسی کامپیوتر - ۱۱۱۵۰۸۲ - علوم کامپیوتر - ۱۱۱۹۰۱۰
 مهندسی فناوری اطلاعات - ۱۱۱۵۱۴۳ - بخش فناوری اطلاعات و ارتباطات - ۱۱۱۵۱۴۳
 کد سری سؤال: یک (۱)
 استفاده از : مجاز است.
 تعداد سؤالات: تستی: ۳۰ تشریحی: ۶
 زمان آزمون: تستی: ۷۵ تشریحی: ۷۵ دقیقه
 آزمون نمره منفی دارد ○ ندارد ⊗

۱۳. در یک پشته ۶۴ کلمه‌ای با اشاره‌گر پشته (SP) ۶ بیتی، اگر مقدار اولیه SP برابر 0 باشد کدام یک از دنباله ریز عملهای زیر به همراه شرایط کنترل می‌تواند به معنای عمل PUSH باشد.

- الف. $\overline{EMPTY} T_i : SP \leftarrow SP + 1$
 ب. $\overline{EMPTY} T_i : SP \leftarrow SP + 1$
 ج. $\overline{FULL} T_i : SP \leftarrow SP + 1$
 د. $\overline{FULL} T_i : SP \leftarrow SP + 1$
- $\overline{FULL} T_{i+1} : M[SP] \leftarrow DR$
 ب. $\overline{EMPTY} T_{i+1} : M[SP] \leftarrow DR$
 ج. $\overline{FULL} T_{i+1} : M[SP] \leftarrow DR$
 د. $\overline{FULL} T_{i+1} : M[SP] \leftarrow DR$
- $\overline{FULL} T_{i+2} : EMPTY \leftarrow 0;$
 ب. $\overline{FULL} T_{i+2} : EMPTY \leftarrow 0;$
 ج. $\overline{FULL} T_{i+2} : EMPTY \leftarrow 0;$
 د. $\overline{FULL} T_{i+2} : EMPTY \leftarrow 0;$
- $\overline{FULL} T_{i+3} : \text{if } (SP = 0) \text{ then } FULL \leftarrow 1$
 ب. $\overline{FULL} T_{i+3} : \text{if } (SP = 0) \text{ then } FULL \leftarrow 1$
 ج. $\overline{FULL} T_{i+3} : \text{if } (SP = 0) \text{ then } FULL \leftarrow 1$
 د. $\overline{FULL} T_{i+3} : \text{if } (SP = 0) \text{ then } FULL \leftarrow 1$

۱۴. برای محاسبه عبارت $(A * M + B * K) * (C + D)$ با فرض آنکه دستورات اسمبلی ضرب و جمع داریم، برنامه اسمبلی مربوطه با استفاده از یک کامپیوتر دارای دستورات تک آدرس، به حداقل چند خانه کمکی حافظه نیاز خواهد داشت؟ (به غیر از متغیرهای موجود در عبارت که نمی‌خواهیم خراب شوند)

- الف. ۱
 ب. ۲
 ج. ۳
 د. ۴

۱۵. یک کد دستور باردهی AC، به طول دو کلمه در آدرس N حافظه بصورت زیر ذخیره شده است و بخش آدرس این دستور M است. در حال اجرای این دستور هستیم، براساس روش آدرس‌دهی خودکاهشی، چه مقداری در AC باردهی می‌شود؟ (W، X و Y متوالی هستند.)

آدرس	محتوای حافظه
N	روش آدرس دهی
N+1	کد عمل برای باردهی AC
N+2	M = آدرس
...	دستور بعدی
M	P
...	...
W	X
X	Z
Y	K
...	...
Z	S

PC
N
R1
Y

- الف. X
 ب. K
 ج. Z
 د. S

نام درس: معماری کامپیوتر
 رشته تحصیلی و کد درس: مهندسی کامپیوتر - ۱۱۱۵۰۸۲ - علوم کامپیوتر - ۱۱۱۹۰۱۰
 مهندسی فناوری اطلاعات - ۱۱۱۵۱۴۳ - بخش فناوری اطلاعات و ارتباطات - ۱۱۱۵۱۴۳
 کد سری سؤال: یک (۱)
 استفاده از : مجاز است.
 تعداد سؤالات: تستی: ۳۰ تشریحی: ۶
 زمان آزمون: تستی: ۷۵ تشریحی: ۷۵ دقیقه
 آزمون نمره منفی دارد ○ ندارد ⊗

۱۶. اگر $A = -16$ و $B = +20$ بوده و 8 بیتی باشند پس از انجام عمل $A - B$ ، ثبات پرچم $FLAG = VZSC$ که C کم ارزشترین بیت است) محتوای FLAG در مبنای شانزده شازندهی (H) کدام است؟

الف. 0H ب. BH ج. AH د. 3H

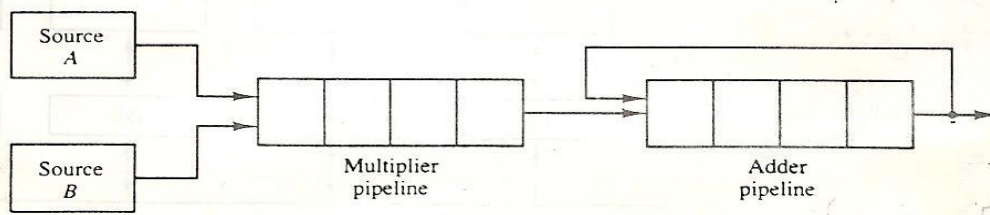
۱۷. کدام ویژگی زیر از ویژگی‌های کامپیوترهای RISC است؟

الف. تعداد دستورات زیاد
 ب. تعداد ثبات‌های پردازنده زیاد
 ج. قالب دستورات با طول متغیر
 د. اجرای دستورات در بیش از یک سیکل

۱۸. فرض کنید یک خط لوله ۴ قطعه‌ای برای انجام عملیات جمع داریم که تاخیر هریک از قطعه‌ها برابر با 35ns، 50ns، 85ns و 70ns می‌باشد و همچنین ثباتهای واسط دارای تاخیر 25ns می‌باشند. برای جمع 100 عدد با یکدیگر با استفاده از این خط لوله، چه مقدار زمان لازم است؟

الف. 11330ns ب. 12360ns ج. 7200ns د. 141414ns

۱۹. شکل زیر، دو خط لوله ضرب و جمع، (هریک با چهار قطعه) را معرفی می‌کند. می‌باشد، بطوریکه هر قطعه برای انجام وظیفه خود یک پالس ساعت مصرف می‌کند، اگر بخواهیم یک بردار 50 عضوی را در یک بردار 50 عضوی ضرب کنیم، به چند پالس ساعت نیاز است؟



الف. 50
 ب. 58
 ج. 54
 د. 62

۲۰. اگر یک خط لوله سه قسمتی با کارکرد تعریفی زیر، برای اجرای برنامه ای با چهار دستور زیر استفاده شود:

- | | |
|---|--|
| 1. LOAD $R1 \leftarrow M[\text{address } 1]$ | قطعه I: واكشی دستورالعمل (Instruction fetch) |
| 2. LOAD $R2 \leftarrow M[\text{address } 2]$ | |
| 3. ADD $R1, R2, R3$; $R3 = R1 + R2$ | قطعه A: عملیات ALU (ALU operation) |
| 4. STORE $M[\text{address } 1] \leftarrow R3$ | |
| 5. LOAD $R5 \leftarrow M[\text{address } 3]$ | قطعه E: اجرای دستورالعمل (Execute instruction) |

آنگاه برای رفع مشکل خط لوله با استفاده از بارگیری تاخیر (Delayed Load) به چند پالس ساعت نیاز خواهد بود؟

الف. ۶ ب. ۷ ج. ۸ د. نمی توان با این روش مشکل را حل کرد.

نام درس: معماری کامپیوتر
 رشته تحصیلی و کد درس: مهندسی کامپیوتر- ۱۱۱۵۰۸۲- علوم کامپیوتر- ۱۱۱۹۰۱۰
 مهندسی فناوری اطلاعات - ۱۱۱۵۱۴۳- بخش فناوری اطلاعات و ارتباطات - ۱۱۱۵۱۴۳
 کد سری سؤال: یک (۱)
 استفاده از: مجاز است.
 تعداد سؤالات: تستی: ۳۰ تشریحی: ۶
 زمان آزمون: تستی: ۷۵ تشریحی: ۷۵ دقیقه
 آزمون نمره منفی دارد ○ ندارد ⊗

۳۱. مشابه سوال قبل یک خط لوله سه قطعه ای داریم و می خواهیم مشکل انشعاب برنامه زیر را با استفاده از جابجایی دستورات حل کنیم،

کدام گزینه این جابجایی را صحیح نشان می دهد؟

1. LOAD R1 ← M[address 1]
2. INC R2
3. ADD R4, R3 // R4=R4+R3
4. BRANCH X
5. SUB R6, R5 // R6=R6-R5
- ⋮
- X. INC R7
- ⋮

ب.

1. LOAD R1 ← M[address 1]
2. INC R2
3. ADD R4, R3 // 4=R4+R3
4. BRANCH X
5. SUB R6, R5 // R6=R6-R5
- ⋮
- X. INC R7
- ⋮

الف.

1. LOAD R1 ← M[address 1]
2. INC R2
3. BRANCH X
4. ADD R4, R3 // 4=R4+R3
5. SUB R6, R5 // R6=R6-R5
- ⋮
- X. INC R7
- ⋮

د.

1. BRANCH X
2. LOAD R1 ← M[address 1]
3. INC R2
4. ADD R4, R3 //R4=R4+R3
5. SUB R6, R5 // R6=R6-R5
- ⋮
- X. INC R7
- ⋮

ج.

1. LOAD R1 ← M[address 1]
2. BRANCH X
3. INC R2
4. ADD R4, R3 // 4=R4+R3
5. SUB R6, R5 // R6=R6-R5
- ⋮
- X. INC R7
- ⋮

نام درس: معماری کامپیوتر
 رشته تحصیلی و کد درس: مهندسی کامپیوتر- ۱۱۱۵۰۸۲- علوم کامپیوتر- ۱۱۱۹۰۱۰
 مهندسی فناوری اطلاعات - ۱۱۱۵۱۴۳- بخش فناوری اطلاعات و ارتباطات - ۱۱۱۵۱۴۳
 کد سری سؤال: یک (۱)
 استفاده از : مجاز است.

۲۲. اگر در عملیات ضرب برای مضروب $B = B_{n-1}B_{n-2}...B_0$ و مضروب فیه $Q = Q_{n-1}Q_{n-2}...Q_0$ از الگوریتم ضرب بوت به گونه‌ای استفاده شود که نتیجه حاصلضرب در ثبات های Q و A قرار گیرد (A پرارزشر)، در هر گام از الگوریتم اگر $Q_n Q_{n-1} = 10$ باشد کدام یک از عملیاتهای زیر انجام می‌شود؟

الف. $A=A+B$ ب. $A=A-B$ ج. $A=A+B+1$ د. $A=A-B+1$

۲۳. توضیح زیر مربوط به کدام یک از شیوه های انتقال اطلاعات بین دستگاه های I/O و CPU می تواند باشد؟
 " در این روش دستگاه I/O ارتباط مستقیمی با حافظه ندارد و تمام عملیات I/O لازم برای انتقال اطلاعات، تحت کنترل مستقیم CPU است و CPU در یک حلقه از برنامه باقی می‌ماند تا واحد I/O مشخص نماید که برای انتقال آماده است و ... "

الف. I/O تحت کنترل برنامه ب. I/O وقفه دهنده ج. DMA د. موارد الف و ب

۲۴. برای تقسیم داده های علامت دار کدامیک از روشهای زیر به عنوان الگوریتم مطرح است؟

الف. روش بازیافتی و روش غیر بازیافتی ب. روش مقایسه ای و روش غیر بازیافتی

ج. روش بازیافتی و روش مقایسه ای د. روش مقایسه ای و روش بوت

۲۵. برای ساخت یک جمع کننده BCD با ۵ رقم BCD ، کدام یک از مجموعه بسته‌های سخت افزاری زیر کفایت می‌کند؟

الف. دو جمع کننده دودویی چهاربیتی و دو تا گیت AND و یک گیت OR

ب. دو جمع کننده دودویی چهاربیتی و دو تا گیت OR و یک گیت AND

ج. ۱۰ جمع کننده دودویی چهاربیتی و ۱۰ تا گیت AND و ۵ گیت OR

د. دو جمع کننده دودویی پنج بیتی و دو تا گیت AND و یک گیت OR

۲۶. اطلاعات با سرعت m بایت در ثانیه در یک بافر $FIFO$ وارد می شود و با سرعت n بایت در ثانیه خارج می‌شود، حداکثر ظرفیت بافر k بایت است. در چه مدتی بافر خالی پر می‌شود اگر $m > n$ باشد؟

الف. $\frac{k}{m-n}$ ب. $\frac{mn}{m-n}$ ج. $\frac{k}{n-m}$ د. $\frac{kmn}{m-n}$

۲۷. زمانیکه DMA و CPU هر دو تقاضای انتقال اطلاعات از حافظه می‌کنند، کدامیک اولویت دسترسی بیشتری دارد و حافظه را در دست می‌گیرد؟

الف. CPU

ب. DMA

ج. اگر CPU نیاز به برداشت دستور از حافظه ($fetch$) داشته باشد اولویت می‌یابد. در غیراینصورت DMA اولویت دارد.

د. اگر CPU نیاز به خواندن اطلاعات از حافظه داشته باشد اولویت می‌یابد. در غیراینصورت DMA اولویت دارد.

نام درس: معماری کامپیوتر	تعداد سؤالات: تستی: ۳۰ تشریحی: ۶
رشته تحصیلی و کد درس: مهندسی کامپیوتر- ۱۱۱۵۰۸۲- علوم کامپیوتر- ۱۱۱۹۰۱۰	زمان آزمون: تستی: ۷۵ تشریحی: ۷۵ دقیقه
مهندسی فناوری اطلاعات - ۱۱۱۵۱۴۳- بخش فناوری اطلاعات و ارتباطات - ۱۱۱۵۱۴۳	آزمون نمره منفی دارد ○ ندارد ⊗
کد سری سؤال: یک (۱)	استفاده از: مجاز است.

۲۸. زمان دستیابی یک حافظه کش 100ns و حافظه اصلی 1000ns است. پیش‌بینی می‌شود نسبت برد برای دستیابی‌های خواندن از حافظه کش برابر 0.9 است. متوسط زمان دستیابی برای یک تقاضای خواندن چند است؟

الف. 200ns ب. 100ns ج. 190ns د. 210ns

۲۹. در یک حافظه کش از نگاشت تداعیگر با مجموعه چهارتایی استفاده می‌شود. حافظه کش می‌تواند مجموعاً 2048 کلمه از حافظه اصلی را در خود ذخیره کند با فرض آنکه اندازه حافظه اصلی $128k \times 32$ است. اندازه هر کلمه از حافظه کش چند بیت است؟

الف. 38 ب. 128 ج. 40 د. 152

۳۰. برای داشتن حافظه 2048 بیتی، از تعدادی مدار مجتمع حافظه RAM با ظرفیت 128×8 استفاده می‌شود چه تعداد خط آدرس برای تمامی مدارهای مجتمع RAM، مشترک خواهد بود؟

الف. 11 ب. 12 ج. 7 د. 4

سوالات تشریحی

بخش اول: از سه سوال زیر، تنها به دو سوال پاسخ دهید. (هر سوال یک نمره دارد)

۱. با توجه شکل کامپیوتر پایه (شکل ۱) که در پیوست آمده است برای دستور زیر دنباله‌ای از ریز عمل‌ها را بنویسید؟

$$ADD M(M[EA] \leftarrow AC + M[EA])$$

۲. یک خط لوله محاسباتی برای جمع اعداد ممیز شناور $X = A * r^a$ و $Y = B * r^b$ با چهار قطعه را تعریف کنید و سپس برای

$$X = 0.9504 * 10^3 \text{ و } Y = 0.8200 * 10^2 \text{ ورودی، خروجی هر قطعه را مشخص کنید؟}$$

۳. سخت افزار مربوط به وقفه اولویت دار موازی را رسم کرده و آنرا شرح دهید؟

بخش دوم: از سه سوال زیر، تنها به دو سوال پاسخ دهید. (هر سوال دو نمره دارد)

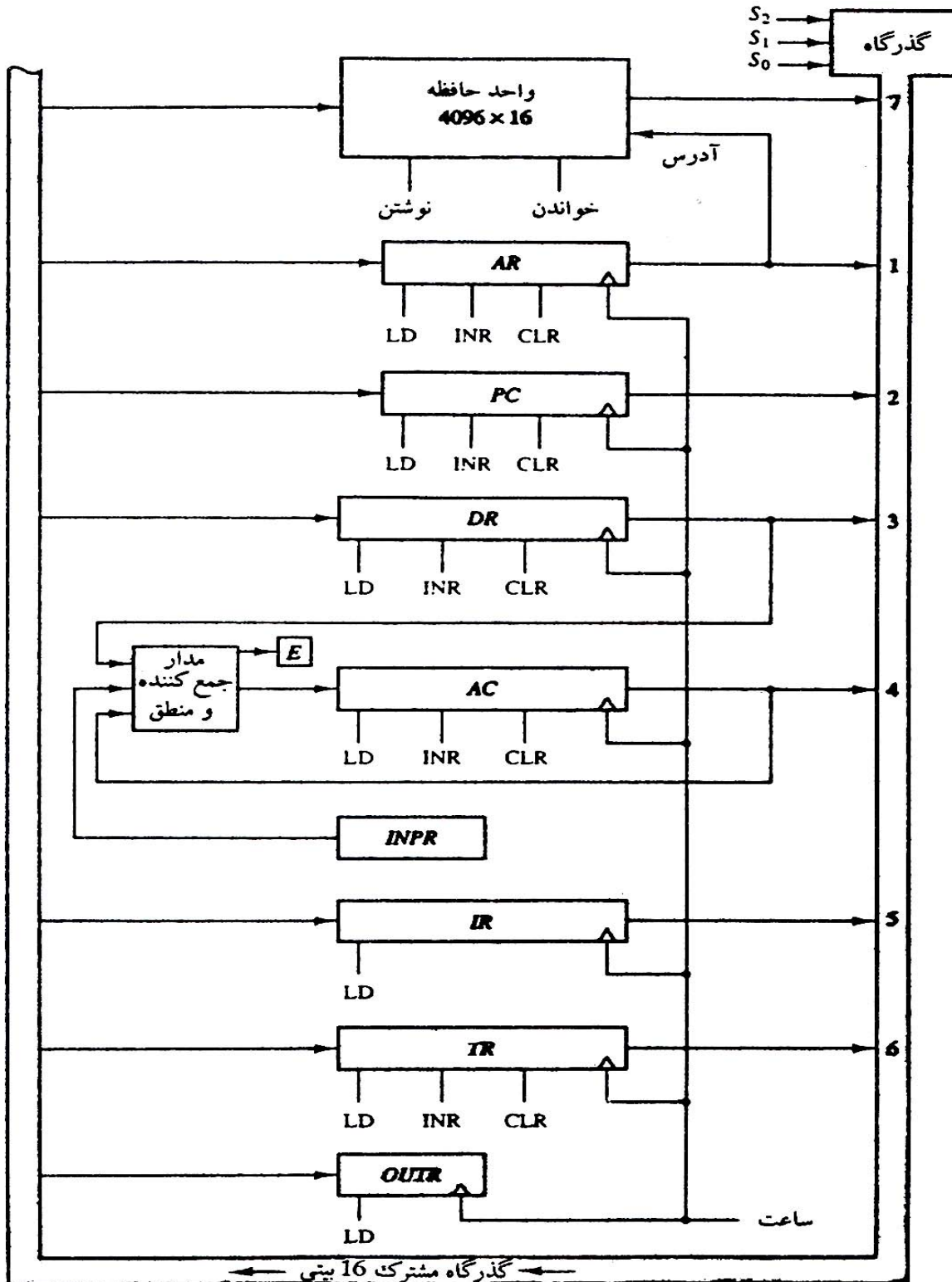
۴. سخت افزار مربوط به حافظه تداعیگر را به همراه یک سلول از آن بطور کامل رسم کرده و معادلات مدار انطباق را بنویسید؟

۵. فلوچارت سیکل وقفه را در یک کامپیوتر پایه (شکل شماره ۱)، برای پاسخ به دستگاه ورودی / خروجی (I/O) رسم کنید و عملکرد آن را در حافظه نشان دهید؟

نام درس: معماری کامپیوتر
 رشته تحصیلی و کد درس: مهندسی کامپیوتر - ۱۱۱۵۰۸۲ - علوم کامپیوتر - ۱۱۱۹۰۱۰
 مهندسی فناوری اطلاعات - ۱۱۱۵۱۴۳ - بخش فناوری اطلاعات و ارتباطات - ۱۱۱۵۱۴۳
 کد سری سؤال: یک (۱)
 استفاده از: مجاز است.
 تعداد سؤالات: تستی: ۳۰ تشریحی: ۶
 زمان آزمون: تستی: ۷۵ تشریحی: ۷۵ دقیقه
 آزمون نمره منفی دارد ○ ندارد ⊗

۶. باتوجه به دیاگرام سخت افزاری توالی گر پیوست شده (شکل شماره ۳) فرض کنید چهار ورودی I_0 ، I_1 و I_2 به همراه T و سه خروجی S_0 ، S_1 و S_2 به صورت جدول زیر برای پیدا کردن آدرس بعدی تعریف شوند، مدار کنترلی توابع بولی خطوط انتخاب $MUX1$ (MUX شماره ۱) و خط Load ثابت SBR را بدست آورید؟

I_2	I_1	I_0	عمل
0	0	0	اگر $T=1$ است افزایش CAR، در غیر اینصورت پرش به AD
×	0	1	پرش غیر شرطی به AD
1	0	0	افزایش غیر شرطی CAR
0	1	0	اگر $T=0$ است افزایش CAR، در غیر اینصورت پرش به AD
1	1	0	اگر $T=1$ است فراخوانی زیرروال، در غیر اینصورت افزایش CAR
0	1	1	بازگشت غیر شرطی از زیر روال
1	1	1	نگاشت غیر شرطی آدرس خارجی (MAP)



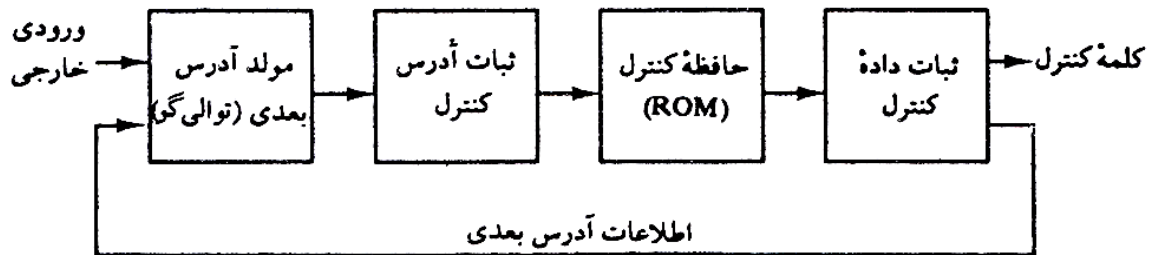
شکل ۱- ثبات‌های کامپیوتر پایه متصل به یک گذرگاه مشترک

تعداد سؤالات: تستى: ۳۰ تشریحى: ۶
 زمان آزمون: تستى: ۷۵ تشریحى: ۷۵ دقیقه
 آزمون نمره منفى دارد ○ ندارد ⊗

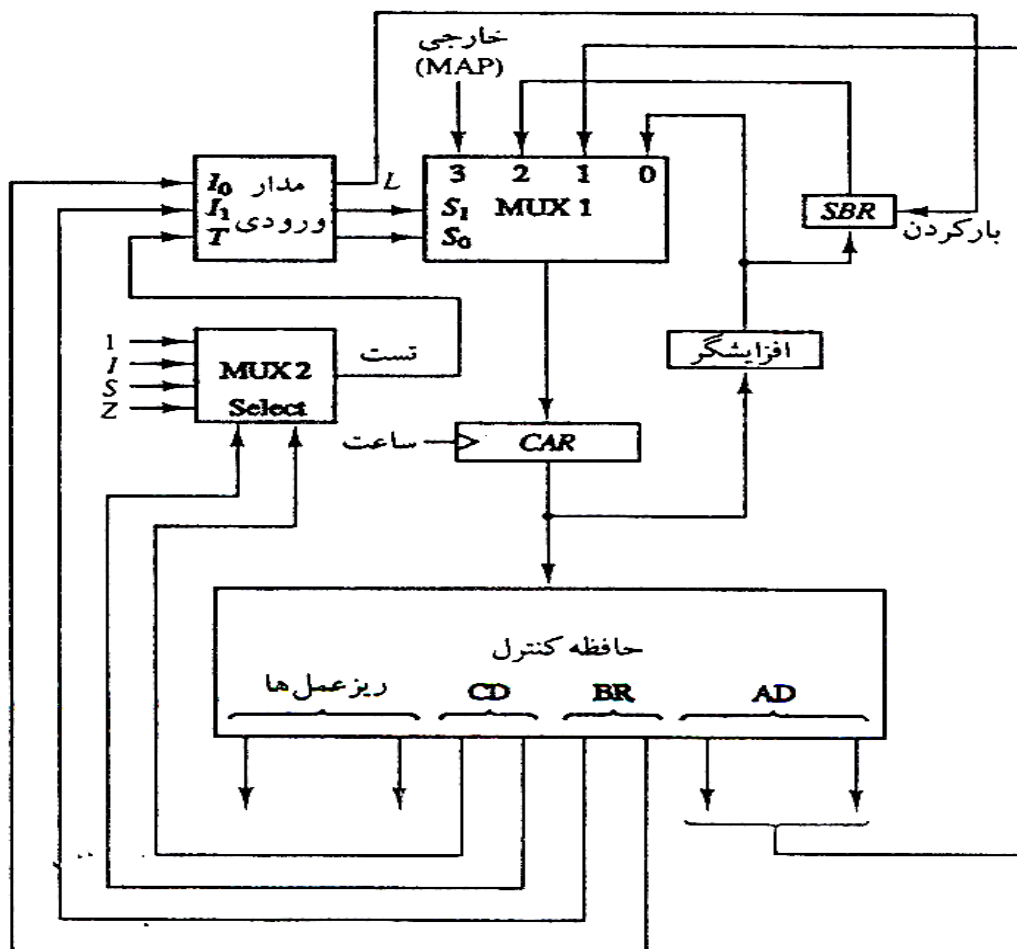
مجاز است.

استفاده از:

کُد سرى سؤال: یک (۱)



شكل ۲- سازمان كنترل ريزبرنامه نويسى شده



شكل ۳- توالى گز ريزبرنامه براى حافظه كنترل



دانشگاه تهران
مرکز آزمون
(نیمسال اول ۸۹-۸۸)

استان:

کارشناسی (ستى - تجميع)

نام درس: معماری کامپیوتر

رشته تحصیلی و کد درس: مهندسی کامپیوتر - ۱۱۱۵۰۸۲ - علوم کامپیوتر - ۱۱۱۹۰۱۰

مهندسی فناوری اطلاعات - ۱۱۱۵۱۴۳ - بخش فناوری اطلاعات و ارتباطات - ۱۱۱۵۱۴۳

کد سری سؤال: یک (۱)

استفاده از:

مجاز است.

تعداد سؤالات: تستی: ۳۰ تشریحی: ۶
زمان آزمون: تستی: ۷۵ تشریحی: ۷۵ دقیقه
آزمون نمره منفی دارد ○ ندارد ⊗

جدول ۱- سمبل‌ها و کدهای دودویی برای میدانهای ریزدستورالعمل‌ها

F1	ریزعمل	سمبل
000	هیچکار	NOP
001	$AC \leftarrow AC + DR$	ADD
010	$AC \leftarrow 0$	CLRAC
011	$AC \leftarrow AC + 1$	INCAC
100	$AC \leftarrow DR$	DRTAC
101	$AR \leftarrow DR(0-10)$	DRTAR
110	$AR \leftarrow PC$	PCTAR
111	$M[AR] \leftarrow DR$	WRITE

F2	ریزعمل	سمبل
000	هیچکار	NOP
001	$AC \leftarrow AC - DR$	SUB
010	$AC \leftarrow AC \vee DR$	OR
011	$AC \leftarrow AC \wedge DR$	AND
100	$DR \leftarrow M[AR]$	READ
101	$DR \leftarrow AC$	ACTDR
110	$DR \leftarrow DR + 1$	INCDR
111	$DR(0-10) \leftarrow PC$	PCTDR

F3	ریزعمل	سمبل
000	هیچکار	NOP
001	$AC \leftarrow AC \oplus DR$	XOR
010	$AC \leftarrow \overline{AC}$	COM
011	$AC \leftarrow shl AC$	SHL
100	$AC \leftarrow shr AC$	SHR
101	$PC \leftarrow PC + 1$	INCPC
110	$PC \leftarrow AR$	ARTPC
111	Reserved	

CD	شرط	سمبل	توضیح
00	همیشه = 1	U	انشعاب غیر شرطی
01	$DR(15)$	I	بیت آدرس غیر مستقیم
10	$AC(15)$	S	بیت علامت AC
11	$AC = 0$	Z	مقدار صفر در AC

BR	سمبل	عملکرد
00	JMP	اگر شرط برابر 1 باشد $CAR \leftarrow AD$
		اگر شرط برابر صفر باشد $CAR \leftarrow CAR + 1$
01	CALL	اگر شرط برابر 1 باشد $CAR \leftarrow AD, SBR \leftarrow CAR$
		اگر شرط برابر 0 باشد $CAR \leftarrow CAR + 1$
10	RET	بازگشت از زیرروال $CAR \leftarrow SBR$
11	MAP	$CAR(2-5) \leftarrow DR(11-14), CAR(0,1,6) \leftarrow 0$